

SEMICONDUCTOR MANUFACTURING SYSTEM

Patent Number: JP10163080
Publication date: 1998-06-19
Inventor(s): YAMAGUCHI SHINGO; HASHIMOTO SHIN; TACHIKAWA KEIJI; HONDA KOJI
Applicant(s):: MATSUSHITA ELECTRON CORP
Requested Patent: JP10163080
Application Number: JP19960316300 19961127
Priority Number(s):
IPC Classification: H01L21/02 ; G05B13/02 ; G05B23/02
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce variations of characteristics, and manufacture stably high quality semiconductor products with a good manufacturing yield.

SOLUTION: This manufacturing system comprises: an evaluation function preparing device 150 for preparing an evaluation function representing a correlation of device characteristics; a step data collecting device 120 for collecting step data of a manufacturing line; an evaluation parameter calculating device 130 for calculating evaluation parameters based on step data; a device characteristics analyzing device 140 for calculating a candidature of manufacturing conditions of a next step by analyzing respective device characteristics corresponding to variations of evaluation parameters using the evaluation function; a next step manufacturing condition control device 160 for optimizing the manufacturing conditions of a next step out of candidatures of the manufacturing conditions; and a manufacturing conditions instructing device 170 for instructing the optimized manufacturing conditions of a next step to a manufacturing line.

Data supplied from the esp@cenet database - I2



... we

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-163080

(43)公開日 平成10年(1998)6月19日

(51)Int.Cl.⁶

H 01 L 21/02

G 05 B 13/02

23/02

識別記号

301

F I

H 01 L 21/02

G 05 B 13/02

23/02

Z

N

301V

審査請求 未請求 請求項の数4 OL (全6頁)

(21)出願番号 特願平8-316300

(22)出願日 平成8年(1996)11月27日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 山口 新吾

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 橋本 伸

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 立川 景士

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 弁理士 松村 博

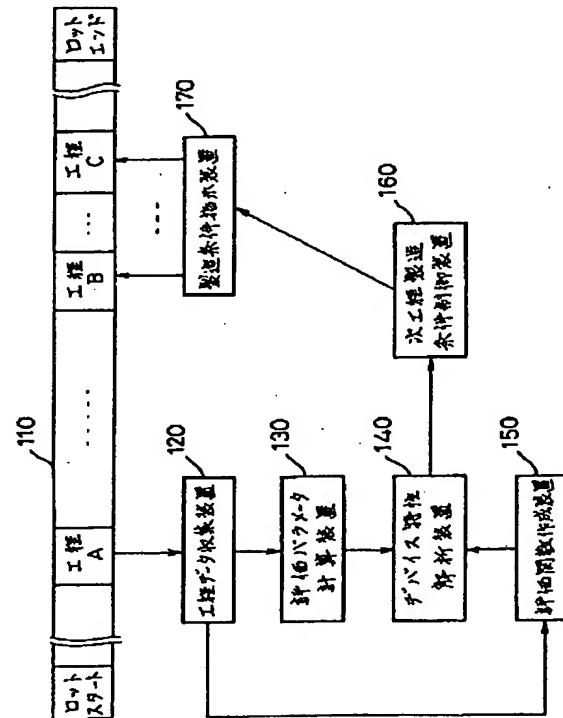
最終頁に続く

(54)【発明の名称】 半導体製造システム

(57)【要約】

【課題】 特性のばらつきを少なくし、高品質の半導体製品を歩留まりよく、安定に製造する。

【解決手段】 デバイス特性の相関を表す評価関数を作成する評価関数作成装置150と、製造ラインの工程データを収集する工程データ収集装置120と、工程データをもとに評価パラメータを計算する評価パラメータ計算装置130と、評価関数を用いて評価パラメータの変動に対応する各デバイス特性をそれぞれ解析し次工程の製造条件の候補を計算するデバイス特性解析装置140と、製造条件の候補の中から次工程の製造条件を最適化する次工程製造条件制御装置160と、最適化した次工程の製造条件を製造ラインに指示する製造条件指示装置170とから構成される。



【特許請求の範囲】

【請求項1】 予めプロセスパラメータとデバイス特性の相関を表す評価関数を作成する評価関数作成装置と、製造ラインの加工装置の処理データや検査装置の測定データなどの工程データを収集する工程データ収集装置と、前記工程データをもとに製造工程管理に用いる評価パラメータを計算する評価パラメータ計算装置と、前記評価関数を用いて前記評価パラメータの変動に対応する各デバイス特性をそれぞれ解析し次工程の製造条件の候補を計算するデバイス特性解析装置と、前記製造条件の候補の中から半導体製品のすべてのデバイス特性の規格を満足するように次工程の製造条件を最適化する次工程製造条件制御装置と、最適化した前記次工程の製造条件を次工程の加工装置および検査装置に指示する製造条件指示装置とを備えていることを特徴とする半導体製造システム。

【請求項2】 評価関数作成装置は、レスポンスサーフェス法を用いて評価関数を計算する機能を有することを特徴とする請求項1記載の半導体製造システム。

【請求項3】 次工程製造条件制御装置は、ファジー推論を用いて次工程の製造条件を最適化する機能を有することを特徴とする請求項1記載の半導体製造システム。

【請求項4】 評価パラメータ計算装置は、工程毎にウエハ面内のばらつき分布を解析し、評価パラメータとしてばらつきの中心値を計算する機能を有することを特徴とする請求項1記載の半導体製造システム。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体製造システムに関するものである。

【0002】

【従来の技術】 従来、半導体の製造装置は、図5に示したように複数の加工装置や検査装置から構成され、それらの装置を予め決められた製造条件で稼働させていた。図5において、半導体ウエハ1は加工装置2に入り、様々な処理が施され、検査装置3にて測定、検査が行われる。このとき、加工装置が行う処理は、予め設定されたレシピ4と呼ばれる製造条件通りに遂行される。

【0003】

【発明が解決しようとする課題】 しかしながら、上記従来の構成では、加工装置2の処理がばらつき、予定通りの処理がウエハ1になされなかった場合、製造途中にてウエハ1を廃棄したり、ウエハ1上に作られる半導体製品の性能が低下するといった問題がある。

【0004】 また、加工装置2の処理がばらついたとき、次工程の製造条件をシミュレーションを用いて計算する方法も考えられるが、シミュレーションの計算に多くの時間を要して製造ラインの進捗が遅れるという問題がある。

【0005】 また、加工装置2の処理がばらついたと

き、すべてのデバイス特性を同時に最適化する次工程の製造条件を計算することが困難であるという問題もあった。

【0006】 さらには、ロット単位でばらつきが大きく、次工程の製造条件を変更してデバイス特性の品質を上げることが困難であるという問題もあった。

【0007】 本発明は、上記従来の問題点を解決するもので、高品質の半導体製品を歩留まりよく、安定に製造できる半導体製造システムを提供することを目的とする。

【0008】

【課題を解決するための手段】 この目的を達成するために、本発明の半導体製造システムは、予めプロセスパラメータとデバイス特性の相関を表す評価関数を作成する評価関数作成装置と、製造ラインの加工装置の処理データや検査装置の測定データなどの工程データを収集する工程データ収集装置と、前記工程データをもとに製造工程管理に用いる評価パラメータを計算する評価パラメータ計算装置と、前記評価関数を用いて前記評価パラメータの変動に対応する各デバイス特性をそれぞれ解析し次工程の製造条件の候補を計算するデバイス特性解析装置と、前記製造条件の候補の中から半導体製品のすべてのデバイス特性の規格を満足するように次工程の製造条件を最適化する次工程製造条件制御装置と、最適化した前記次工程の製造条件を次工程の加工装置および検査装置に指示する製造条件指示装置とを備えた構成とする。

【0009】 上記構成によれば、半導体製品の特性ばらつきが小さくなり、高品質の半導体製品を歩留まりよく、安定して製造することができる。

【0010】 また、上記半導体製造システムにおいて、評価関数作成装置は、レスポンスサーフェス法を用いて評価関数を計算する機能を有する構成とする。これにより、評価パラメータの変動に対応するデバイス特性の解析を短時間に計算することができる。

【0011】 また次工程製造条件制御装置は、ファジー推論を用いて次工程の製造条件を最適化する機能を有する構成とする。これにより、評価パラメータの変動が影響を及ぼすすべてのデバイス特性を最適化することができる。

【0012】 さらに、評価パラメータ計算装置は、工程毎にウエハ面内のばらつき分布を解析し、評価パラメータとしてばらつきの中心値を計算する機能を有する構成とする。これにより、次工程の製造条件を変更してデバイス特性の品質をウエハ面内ばらつきまで向上させることができる。

【0013】

【発明の実施の形態】 以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施の形態におけるデバイス特性解析装置をブロック図で示したものである。図1において、110は製造工程フ

ロー、120は工程データ収集装置、130は評価パラメータ計算装置、140はデバイス特性解析装置、150は評価関数作成装置、160は次工程製造条件制御装置、170は製造条件指示装置である。

【0014】次に、本実施の形態における動作を説明する。評価関数作成装置150で、プロセス、デバイス、回路などの各種シミュレーションの計算結果と、TEGや実験などの測定データを元にして、レスポンスサーフェス法によりデバイス特性の相関を表す評価関数(レスポンスサーフェス関数)を予め作成しておく。

【0015】そこでまず、工程データ収集装置120で、製造工程フロー110の工程Aの加工装置や検査装置にてウエハ毎に実測した工程データを収集する。

【0016】次に、評価パラメータ計算装置130で、収集した工程データからウエハ毎のばらつきの中心値を計算する。

【0017】次いで、デバイス特性解析装置140で、評価関数(レスポンスサーフェス関数)による次工程製造条件の候補群を解析する。

【0018】図2は、デバイス特性解析装置140の処理手順を示したものである。ここで、工程Aはゲート形成工程、工程BはLDD注入工程、工程CはTEOS成膜工程とする。

【0019】評価関数作成装置150により、予めPS寸法(ゲート長)、LDD注入量を変数とするドレン電流特性の評価関数(レスポンスサーフェス関数)が作成されている。

【0020】ドレン電流の特性目標値 I_{ds^t} は PS寸法(ゲート長)、LDD注入量がともに規格目標値(L_g^t 、 D_{ldd}^t)の時に実現し、評価関数(レスポンスサーフェス関数)面上の特性目標曲線上の点Aに位置する。

【0021】まず、評価パラメータ計算装置130から受け取ったPS寸法(ゲート長)の中心値 L_g が規格目標値 L_g^t から ΔL_g だけ変動すると、評価関数(レスポンスサーフェス関数)面上の特性目標曲線上の点Aは、LDD注入量を規格目標値 D_{ldd}^t に固定したまま評価関数(レスポンスサーフェス関数)面上の特性変動曲線上の点Bへと移動する。その時、ドレン電流は、特性目標値 I_{ds^t} から I_{ds} へと変動する。

【0022】次に、ドレン電流特性を I_{ds} から特性目標値 I_{ds^t} へ戻すために、PS寸法(ゲート長)を L_g に固定したまま評価関数(レスポンスサーフェス関数)面上の特性変動曲線上の点Bを特性目標曲線上の点Cに移動する。

【0023】次に、特性目標曲線上の点Cに対応するLDD注入量 $D_{ldd} I_{ds}$ をグラフより計算する。

【0024】同様にして、TEOS成膜条件 $T_{teos} I_{ds}$ を計算する。

【0025】以上のように、評価関数(レスポンスサーフェス関数)を用いて、評価パラメータの変動つまりプロセスの変動に対応するデバイス特性を高速に解析し、次工程の製造条件の候補群を計算する。

【0026】次に、次工程製造条件制御装置160で、ファジー推論による次工程の製造条件を最適化する。

【0027】図3は、その次工程製造条件制御装置160の処理手順を示したものである。ここで、工程Aはゲート形成工程、工程BはLDD注入工程、工程CはTEOS成膜工程とする。

【0028】製造条件を変数とする歩留まり分布をメンバシップ関数とする。まず、デバイス特性解析装置140で計算した次工程の製造条件の候補(LDD注入量 D_{ldd} I_{ds} 、 $D_{ldd} V_t$, ...)に対応する複数のデバイス特性(ドレン電流、しきい電圧、...)のメンバシップ関数を同じ座標系に表現する。

【0029】次に、各メンバシップ関数の重なり合った多角形(斜線部分)の面積の重心 D_{ldd}^* を計算し、最適なLDD注入量とする。

【0030】同様にして、TEOS成膜条件 T_{teos}^* を計算する。

【0031】以上のように、ファジー推論を用いて容易に複数デバイス特性を同時に最適化する次工程の製造条件を計算する。

【0032】次に、製造条件指示装置170で、次工程製造条件制御装置160で計算した次工程の最適な製造条件を製造工程フロー110の工程B、Cに指示する。

【0033】ここで、製造条件の指示の手段としては、製造ラインの工程管理端末に表示して作業者が行ったり、装置のレシピの設定を自動的に行ったりする。

【0034】以上の動作によるプロセスのばらつきとデバイス特性のばらつきの関係を図4を用いて説明する。

【0035】図4において、410はウエハNo.1のPS寸法、412はウエハNo.2のPS寸法、414はウエハNo.50のPS寸法の各ばらつき、420はウエハNo.1のLDD注入量(あるいはTEOS成膜条件)、422はウエハNo.2のLDD注入量(あるいはTEOS成膜条件)、424はウエハNo.50のLDD注入量(あるいはTEOS成膜条件)、430はウエハNo.1のドレン電流特性、432はウエハNo.2のドレン電流特性、434はウエハNo.50のドレン電流特性の各ばらつきである。

【0036】まず、ウエハNo.1はPS寸法ばらつき410の中心値が規格目標値に等しいので、次工程(LDD注入、TEOS成膜工程)の製造条件420も規格目標値通りに指示することで、ドレン電流特性は特性目標値のまわりにウエハ面内ばらつきに相当するばらつきとなる。

【0037】次に、ウエハNo.2はPS寸法ばらつき412の中心値が規格目標値よりも大きいので、次工程(LDD注入、TEOS成膜工程)の製造条件422を規格目標値より小さく指示することで、ドレン電流特性はウエハNo.1と同じように特性目標値のまわりにウエハ面内ばらつきに相当するばらつきとなる。

【0038】次に、ウエハNo.50はPS寸法ばらつき41の中心値が規格目標値よりも小さいので、次工程(LDD注入、TEOS成膜工程)の製造条件424を規格目標値より大きく指示することで、ドレイン電流特性はウエハNo.1と同じように特性目標値のまわりにウエハ面内ばらつきに相当するばらつきとなる。

【0039】しきい電圧も上記と同様な関係である。

【0040】このようにして、ある工程(例えばゲート形成工程)が変動した時、つまりPS寸法が変動した時、複数のデバイス特性(例えばドレイン電流、しきい電圧など)の変動を相殺し、特性目標値に戻すように、次工程(例えばLDD注入、TEOS成膜など)の製造条件を制御することで、半導体製品のデバイス特性のばらつきを小さくし、高品質の半導体製品を歩留まりよく安定して製造することができる。

【0041】なお、上記実施の形態では、評価関数の作成にレスポンスサーフェス法を用いたが、ニューラルネットワーク、ファジー推論、エキスパートシステム、人工知能を単独あるいは組み合わせて用いても、同様の効果が得られることは言うまでもない。

【0042】また、次工程の製造条件の最適化にファジー推論を用いたが、ニューラルネットワーク、エキスパートシステム、人工知能を単独あるいは組み合わせて用いても、これまた同様の効果が得られる。

【0043】また、次工程の製造条件を計算するのに、レスポンスサーフェス法による評価関数とファジー推論を組み合わせて用いたが、次工程の製造条件を計算した結果を知識ベースに蓄積し、ニューラルネットワーク、ファジー推論、エキスパートシステム、人工知能を単独あるいは組み合わせて用いても、同様の効果が得られることは言うまでもない。

【0044】さらに、評価パラメータに工程のウエハ面内ばらつきの中心値を用いたが、工程毎のウエハ面内ばらつき分布は異なるので、ウエハ面内ばらつきの平均値、最頻値、中央値などの他の各種統計パラメータを工程毎に変更しても同様の結果が得られる。

【0045】本願発明は、上記実施の形態に限られるものではない。

【0046】

【発明の効果】以上説明したように、本発明によれば、予めプロセスパラメータとデバイス特性の相関を表す評価関数を作成する評価関数作成装置と、製造ラインの加工装置の処理データや検査装置の測定データなどの工程データを収集する工程データ収集装置と、前記工程データ

をもとに製造工程管理に用いる評価パラメータを計算する評価パラメータ計算装置と、前記評価関数を用いて前記評価パラメータの変動に対応する各デバイス特性をそれぞれ解析し次工程の製造条件の候補を計算するデバイス特性解析装置と、前記製造条件の候補の中から半導体製品のすべてのデバイス特性の規格を満足するよう次工程の製造条件を最適化する次工程製造条件制御装置と、最適化した前記次工程の製造条件を次工程の加工装置および検査装置に指示する製造条件指示装置とを備えることにより、半導体製品の特性ばらつきが小さくなり、高品質の半導体製品を歩留まりよく、安定して製造することができる。

【0047】また、上記半導体製造システムにおいて、評価関数作成装置が、レスポンスサーフェス法を用いて評価関数を計算する機能を有することにより、評価パラメータの変動に対応するデバイス特性の解析を短時間に計算することができる。

【0048】また次工程製造条件制御装置が、ファジー推論を用いて次工程の製造条件を最適化する機能を有することにより、評価パラメータの変動が影響を及ぼすすべてのデバイス特性を最適化することができる。

【0049】さらに、評価パラメータ計算装置が、工程毎にウエハ面内のばらつき分布を解析し、評価パラメータとしてばらつきの中心値を計算する機能を有することにより、次工程の製造条件を変更してデバイス特性の品質をウエハ面内ばらつきまで向上させることができる、等の効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施の形態における半導体製造システムのブロック図である。

【図2】同実施の形態におけるデバイス特性解析装置の処理手順を説明する図である。

【図3】同実施の形態における次工程製造条件制御装置の処理手順を説明する図である。

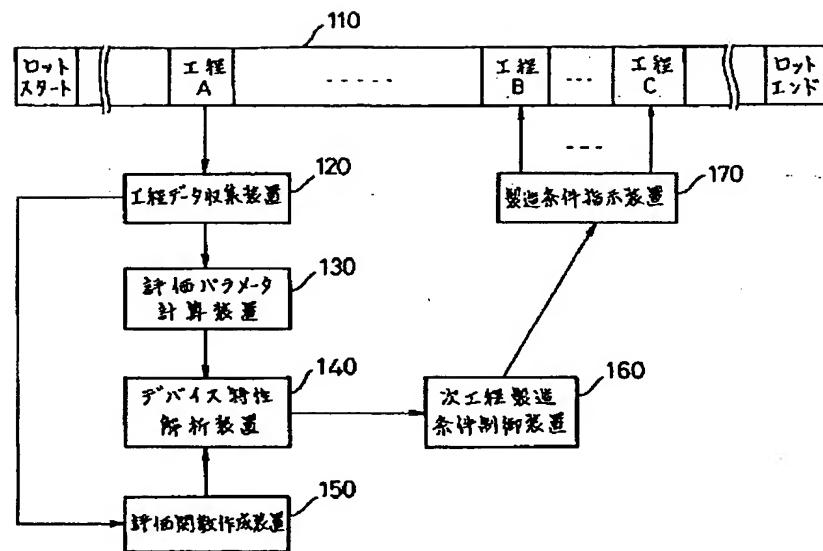
【図4】同実施の形態におけるプロセスのばらつきとデバイス特性のばらつきの関係図である。

【図5】従来例の半導体製造システムのブロック図である。

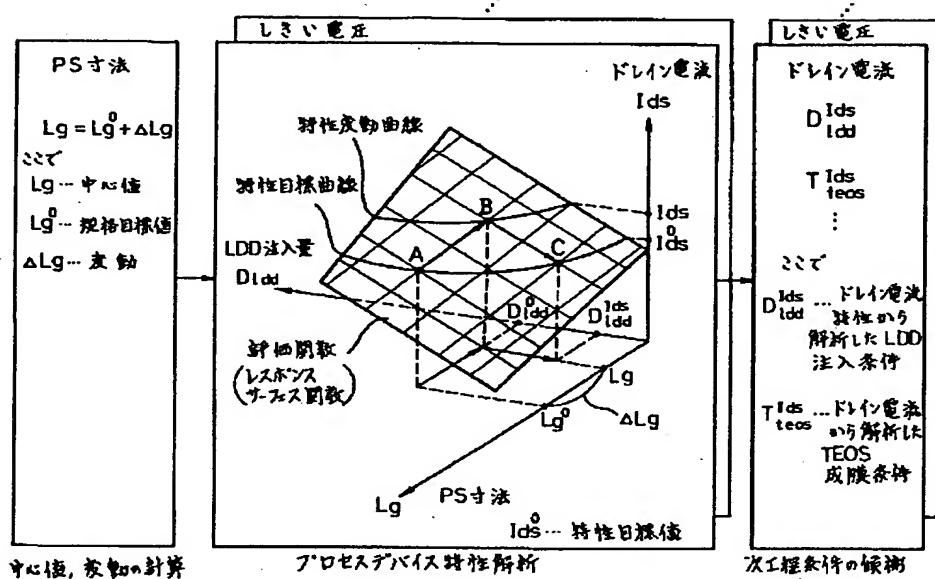
【符号の説明】

110…製造工程フロー、 120…工程データ収集装置、
130…評価パラメータ計算装置、 140…デバイス特性解析装置、 150…評価関数作成装置、 160…次工程製造条件制御装置、 170…製造条件指示装置。

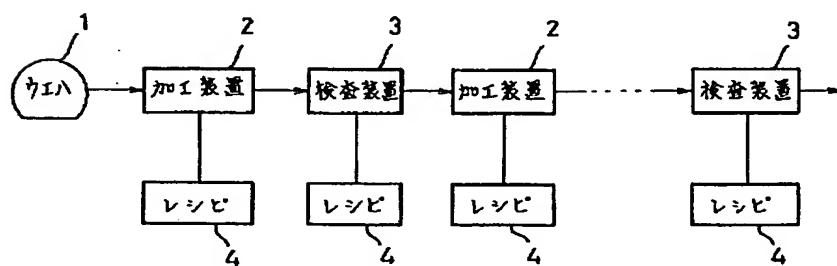
【図1】



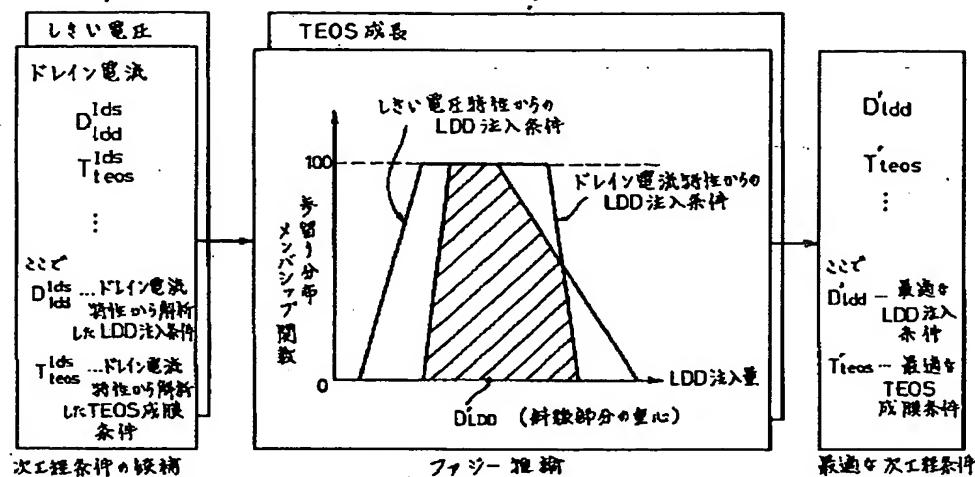
【図2】



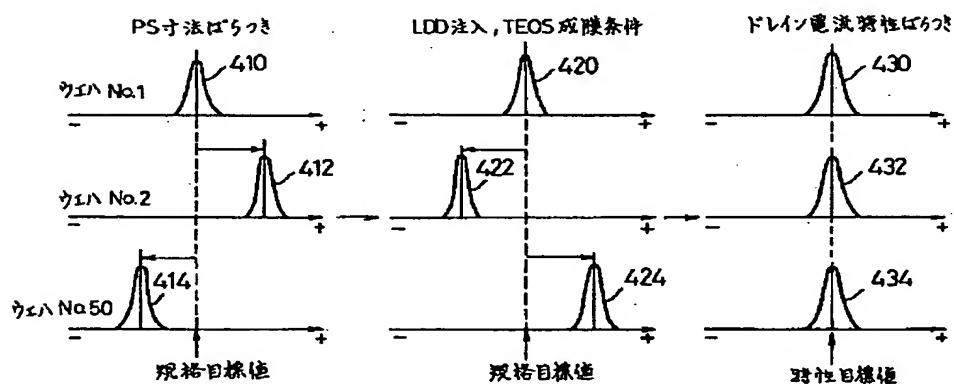
【図5】



【図3】



【図4】



フロントページの続き

(72)発明者 本田 浩嗣

大阪府高槻市幸町1番1号 松下電子工業
株式会社内